

# 線形性に基づく高並列演算システムの設計に関する研究

著者	中島 雅美
号	36
発行年	1996
URL	<a href="http://hdl.handle.net/10097/12722">http://hdl.handle.net/10097/12722</a>

氏 名 (本 籍)	中 島 雅 美 (長 野 県)
学 位 の 種 類	博 士 (情 報 科 学)
学 位 記 番 号	情 博 第 36 号
学 位 授 与 年 月 日	平 成 9 年 3 月 25 日
学 位 授 与 の 要 件	学位規則第4条第1項該当
研 究 科, 専 攻	東北大学大学院情報科学研究科 (博士課程) 情報基礎科学専攻
学 位 論 文 題 目	線形性に基づく高並列演算システムの設計に関する研究
論 文 審 査 委 員	(主 査) 東北大学教授 亀 山 充 隆 東北大学教授 樋 口 龍 雄 東北大学教授 丸 岡 章 東北大学教授 内 田 興 二

## 論 文 内 容 要 旨

近年の集積回路技術の飛躍的な進展に伴い、1チップに非常に多くのトランジスタが集積されてきているが、これらのVLSI, ULSIの開発においては、デバイス自体のスイッチング遅延よりも、配線に起因する伝搬遅延やチップ面積の増大などの性能劣化が顕著になってきており、配線遅延まで考慮した高速演算システムの構築が必要である。演算システムの高速化のためには、システムの演算の各モジュールを並列にするとともに、各モジュールの内部も並列にする必要がある。本論文では、このような配線に起因する性能劣化問題を本質的に解決できる有力な方法として多値情報処理に基づくシステム機成方法に着目し、従来の2進数とは異質の新しい多値冗長符号により、ディジット間における高並列演算性を有する演算システムを構築する。高並列演算回路とは、出力の各桁が入力桁の一部にしか依存しない演算回路のことである(図1)。

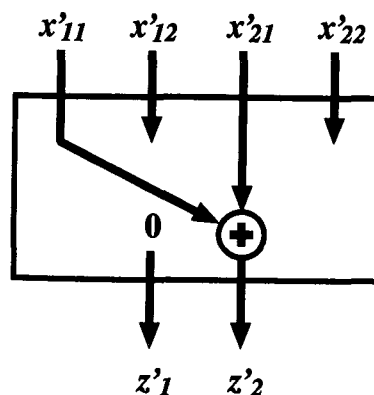


図1 高並列演算回路

このような高並列演算回路を、実際に要求されるような、大規模な仕様に対して設計するためには、膨大な設計時間を必要とする。そのため、系統的な符号割当法も提案されているが、現在のデジタルシステムは、一般に非線形であることから、設計時間の短縮が不十分であり、適用範囲が、シンボル数の少ない小規模な仕様に限定されていた。

一方、制御、信号処理などにおけるシステム設計理論は、線形システムを基本に発展し、その設計手法の系統性が極

めて重要な役割をしてきている。しかしながら、これまで、ディジタルシステムにおいて、線形性に基づく系統的な設計法は議論されていなかった。それは、2進符号などを前提とすると線形性に基づくシステムの適用範囲が狭いという問題点があったためである。これに対し、本論文では、数値などのディジタル符号化がされない演算仕様レベルすなわちシンボルレベルから出発すると、多くの演算が線形化できることを見い出している。

線形ディジタルシステムでは、図2に示す組合せ回路は有限体上の加算器と定数乗算器だけで構成される。

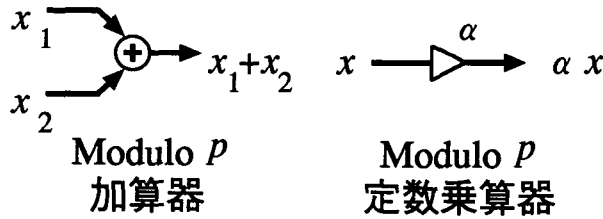


図2 線形ディジタルシステムの基本構成要素

これが、組合せ回路の入出力の符号の変換を行列の写像で表現でき、入出力関係を行列に帰着できる原動力であり、回路の設計が、行列を求めることに置き換えられることにより、高並列演算性を有する演算回路の設計を、代数的に扱うことが可能となる。以後、本論文では、演算は、有限体上で行なう。

回路の入出力が、行列の方程式で表現できたならば、その行列を相似変換することにより、その行列をスパース化できる。数学的な性質から、全ての行列は、相似変換により、ブロック対角行列に変換できる。ここで、各ブロックは、出力の各桁が入力の高々2桁にしか依存しないような行列であることから、行列全体でも、出力の各桁は入力の高々2桁にしか依存しない。したがって、単項演算仕様に対する線形の組合せ回路は、必ず、高並列化可能である。

多項演算回路の設計では、表現行列を複数求める必要があることから、「重ね合わせの理」を用いて、問題を単項演算の設計に分解する。このような「重ね合わせの理」の利用による回路の設計法は、仕様の一部しか設計に用いていないという問題がある。そこで、与えられた仕様の写像が満たすべき、線形の回路で実現可能な十分条件を明らかにする。その十分条件の第一は、分解された単項演算の入出力グラフ構造の一致である(図3)。

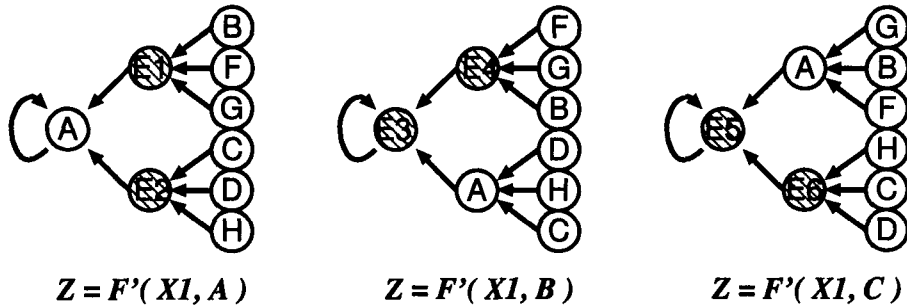


図3 入出力グラフ構造の一致

この条件を満たすため、図4に示すような、各シンボルに複数の符号ベクトルを割り当てる多重冗長シンボルを導入している。

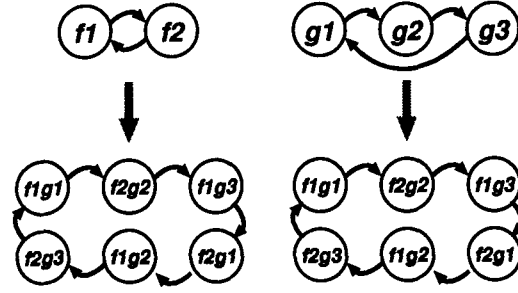


図4 多重冗長シンボルの導入

SD数なども一種の多重割当された符号系であり、その冗長性により、高並列な演算を実現している。このとき、これまで、総当り的にグラフの多重化を行っていたため、多重化に膨大な時間を要していた。そこで、単項演算の入出力関係を示すグラフ構造に着目し、多重化を系統的に行う方法を提案している。すなわち、置換では仕様の性質を表すグラフであるサイクルの長さに着目し、サイクルの長さが異なる2つの仕様に対し、サイクルの長さが2つの最小公倍数になるように、非置換では仕様の性質を表すグラフである木の分岐数を少なくするように多重化することにより、系統的に入出力グラフの構造が一致できることを明らかにしている。線形性の十分条件の第二として、入出力グラフの構造が一致した上に、各単項演算の入出力グラフの対応する頂点間の関係が、シンボルレベル巡回条件を満たさなければならない。このシンボルレベル巡回条件とは、符号ベクトルレベルでの定数加算による置換をシンボルレベルで表現したものである（図5）。

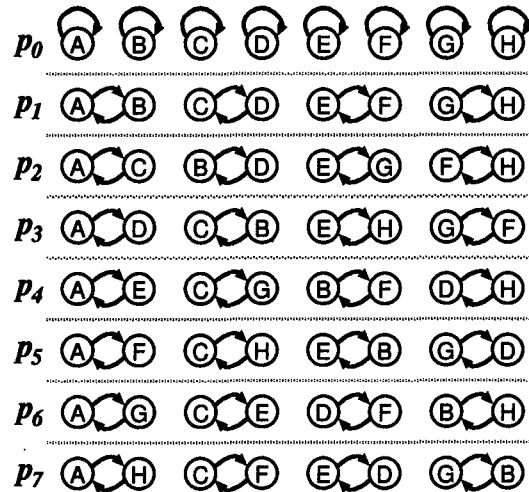


図5 シンボルレベル巡回条件

多項演算の高並列化においては、全ての項で共通に、同一のシンボルに対しては同一の符号を割り当てるため、全ての表現行列を同じ変換行列を用いて変換しなければならない。ところが一般に、全ての行列を同時に高並列化することは困難である。この問題を解決するために、高並列化する多項演算を、任意の2つの入力を入れ換えても結果が同一である演算である、対称演算に限定する。対称演算に関しては、単項演算と同様に、行列変換に基づき高並列化できる。

このように、加算器と定数乗算器により構成される線形演算システムは、非常に高並列な演算回路が設計できるが、必ずしも全ての仕様が線形演算回路で実現できるわけではない。そこで、有限体上の加算器と乗算器を用いた、リードマラー展開に基づく演算回路の高並列化を考える。全ての仕様は、有限体上の加算器と乗算器で表現可能である。リードマラー展開に基づく演算の高並列化では、線形演算システムと同様の、行列のスパース化により、加算項数を削減し、演算回路を高速化する。

本論文は、以上概説した内容を取りまとめたものであり、以下に示す6章より構成されている。

第1章は緒言であり、本論文の背景、目的および概要について述べている。

第2章では、線形性に基づく高並列演算回路の基礎として、線形ディジタル回路と、高並列演算回路の性質を、数学的な立場から考察を行なう。まず、組合せ回路の入出力関係が行列の方程式で表現できることを示し、行列の相似変換が、行列をブロック対角化し、単項演算の表現行列の高並列化に対応することを述べる。

第3章では、基本的な演算である、単項演算について、その回路での表現について考察する。このとき、単項演算を置換演算と非置換演算に分類し、それぞれの仕様に対応する高並列演算回路の系統的設計方法について述べる。置換演算の場合については、そのグラフ表現であるサイクルに注目して、非置換演算の場合については、そのグラフ表現である木に注目して、高並列演算回路の設計、及び、その符号割当を行う。

第4章では、より実用的な仕様である多項演算について、その高並列演算回路の設計方法について述べる。多項演算の設計では、線形特有の「重ね合わせの理」により、仕様を単項演算に分解し、それまで述べてきた単項演算回路の系統的設計方法を用いて、回路の設計を行なう。また、線形演算システムによる高並列演算で実現できる適用範囲を、各シンボルに複数の符号を割り当てる多重符号割当により拡大する。

線形演算回路では、必ずしも全ての仕様を線形演算回路で実現できるわけではない。そこで、第5章では、有限体上の加算器と乗算器を用いた、リードマラー展開に基づく演算回路の高並列化を考える。また、2次のリードマラー展開で表現される演算回路の高並列化が、線形代数における2次形式表現行列の対角化と等価であることを明らかにし、この高並列化の考え方を3次以上へも拡張する。

第6章は結言である。

## 審査結果の要旨

極限的集積化を目指した高性能 VLSI プロセッサを構成するため、入力各桁に対する出力の依存度が小さく、演算遅延を決定するクリティカルパスが短い高並列演算システムの開発が重要な課題となっている。

著者は、代数的取扱いが容易となる線形性に着目し、シンボル間の入出力関係で与えられる演算仕様に対し、各シンボルの冗長符号割当に基づく高並列演算システムの系統的設計法を考案した。本論文はその成果をとりまとめたもので、全文 6 章よりなる。

第 1 章は緒言である。

第 2 章では、有限体上の加算器と定数乗算器で構成される線形演算システムにおいては、入出力関係を表現行列で記述でき、等価な入出力関係を満たす符号変換を系統的に議論できることを明らかにしている。さらに、このような線形演算回路の高並列化のために、出力各桁が入力高々 2 桁にしか依存しない相似変換に基づく演算システム設計法を提案している。

第 3 章では、単項演算が置換演算と非置換演算の組合せで表されることに着目し、置換演算についてはサイクル数、また非置換演算については木の高さに着目した設計法を提案している。これは、高並列線形演算回路設計の基礎となる有用な成果である。

第 4 章では、多項演算仕様に対する、高並列回路の設計法を述べている。線形回路で実現できるためのシンボルレベルにおける十分条件を導出し、この十分条件を満たすように各シンボルに複数の符号を割当ててする方法を提案している。さらに、複数の表現行列を同一の相似変換によりスパース化できることに着目した、対称多項演算回路の系統的設計法を与えている。これは、実用的演算回路を設計する上で重要な成果である。

第 5 章では、線形性に基づく設計概念を拡張し、より適用範囲が広いリード・マラー展開に基づく高並列演算回路の設計法を提案している。2 次のリード・マラー展開は、線形代数における 2 次形式表現行列の対角化に帰着できることを見出し、これを 3 次以上の高次へ拡張する方法を考案した結果を示している。これは、線形性の概念が非線形デジタルシステムの設計にも適用可能であることを示す有用な成果である。

第 6 章は結言である。

以上要するに本論文は、線形性に着目した相似変換に基づき、クリティカルパス遅延の少ない高並列演算回路の系統的設計法を考案し、応用例を通じてその設計法の有用性を実証したものであり、情報基礎科学の発展に寄与するところが少なくない。

よって、本論文は博士（情報科学）の学位論文として合格と認める。